

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-32606

(43)公開日 平成10年(1998)2月3日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/56 25/00		9744-5K	H 0 4 L 11/20 25/00	1 0 2 A

審査請求 未請求 請求項の数3 F D (全 9 頁)

(21)出願番号 特願平8-200989

(22)出願日 平成8年(1996)7月12日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 藤森 潤一

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 稲垣 芳博

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 栗林 泰孝

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74)代理人 弁理士 浅見 保男 (外2名)

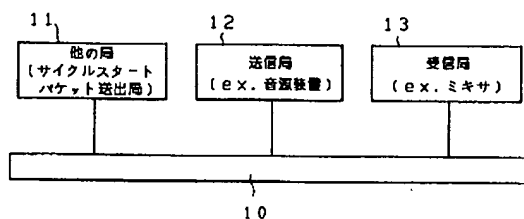
最終頁に続く

(54)【発明の名称】 データ送受信装置およびデータ転送システム

(57)【要約】

【課題】 タイムスタンプのビット数を少なくして、伝送効率を向上する。

【解決手段】 ネットワーク10は、125 $\mu$ sec周期の第1のタイミング信号に準じて発生されるサイクルスタート信号により開始される伝送サイクル中にアイソクロナスパケットを必ず転送するように構成されている。送信局12は、アナログ信号を所定のサンプリングタイミングでサンプリングしたデータに、前記第1のタイミング信号と該サンプリングタイミングとの差の時間に対応するタイムスタンプを付加したアイソクロナスパケットを生成し、前記第1のタイミング信号により送信側のFIFOに書き込み、前記サイクルスタート信号により該FIFOからネットワーク10に送出する。受信局13は受信したパケットをサイクルスタート信号により受信側のFIFOに書き込み、前記第1のタイミング信号により該FIFOから読み出して、時間軸上に前記アナログ信号を再現する。



【特許請求の範囲】

【請求項1】 一定の周期を有する第1のタイミング信号からの差分データとして表わされたタイムスタンプが付加された送信データを、前記第1のタイミング信号に準じて発生される第2のタイミング信号に基づいて、ネットワーク上に送出するデータ送信装置であって、FIFOバッファを有し、

前記第1のタイミング信号に基づいて前記送信データを前記FIFOバッファに書き込み、

前記第2のタイミング信号に基づいて前記FIFOバッファから前記送信データを取り出してネットワーク上に送信することを特徴とするデータ送信装置。

【請求項2】 一定の周期を有する第1のタイミング信号からの差分データとして表わされたタイムスタンプが付加され、前記第1のタイミング信号に準じて発生される第2のタイミング信号に基づいてネットワーク上に送信されたデータを受信するデータ受信装置であって、FIFOバッファを有し、

前記ネットワークから受信した前記データを前記第2のタイミング信号に基づいて前記FIFOバッファに書き込み、

前記第1のタイミング信号に基づいて前記FIFOバッファからデータを取り出し、

前記タイムスタンプに基づいて当該データを時間軸上に再現することを特徴とするデータ受信装置。

【請求項3】 データ送信装置とデータ受信装置とを有し、一定の周期を有する第1のタイミング信号に準じて発生される第2のタイミング信号に基づいてネットワーク上でのデータの転送が制御されるデータ転送システムであって、

前記データ送信装置は、前記第1のタイミング信号からの差分データとして表わされたタイムスタンプを送信データに付加し、

前記タイムスタンプが付加された送信データを前記第1のタイミング信号に基づいて第1のFIFOバッファに書き込み、

前記第2のタイミング信号に基づいて前記第1のFIFOバッファから前記送信データを取り出してネットワーク上に送信し、

前記データ受信装置は、前記第2のタイミング信号に基づいて前記ネットワーク上に送信されたデータを第2のFIFOバッファに書き込み、

前記第1のタイミング信号に基づいて前記第2のFIFOバッファから受信したデータを取り出し、

前記タイムスタンプに基づいて当該データを時間軸上に再現することを特徴とするデータ転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ネットワークを経由してタイムスタンプが付加されたデータを転送するデ

ータ送受信装置およびデータ転送システムに関する。

【0002】

【従来の技術】 ネットワークを経由してデータを伝送する方式として、送信側と受信側とが連続して同一周期の信号を伝送する同期通信方式、間欠的な時間間隔である定められた情報の単位を伝送する非同期通信方式、および、これらの中間に位置づけられるアイソクロナス (Isynchronous) 転送方式がある。このアイソクロナス転送方式によれば、あらかじめ帯域を確保して時間的な遅延が保証されたリアルタイム性の高いデータ転送を行なうことが可能となる。

【0003】 図7を参照してこのアイソクロナス転送方式について説明する。この図に示したのはIEEE1394高速シリアルバスとよばれるシステムにおけるバス上のパケットの配置例を示したもので、サイクルスタートパケット101、アイソクロナスパケット102および非同期 (asynchronous) パケット103の3種類のパケットがネットワーク上に配置されている。また、破線はこのシステムにおいて基準とされる第1のタイミング信号 (cycle synch) を示しており、この第1のタイミング信号は125μsec周期 (8KHz) の信号とされている。

【0004】 前記サイクルスタートパケット101は、このバスに接続されている複数のノードのうちサイクルマスターと呼ばれるノードから送出されるパケットであり、このサイクルスタートパケット101により新たな伝送サイクルが開始される。前記サイクルマスターは精密なクロック源を有しており、このクロック源からの前記第1のタイミング信号の時間間隔で前記サイクルスタートパケット101を送信しようとするが、そのときに、他のパケットの転送が進行中であるときには、その転送が終了するまで前記サイクルスタートパケット101の送信は待たされるようになされている。104はこの遅延時間 (start delay) を示すものであり、この遅延時間は前記サイクルスタートパケット101の中に符号化されて各ノードに送出される。なお、前記ノードから送信されたパケットは同一のクロック期間内に他のノードに受信されることは保証されている。

【0005】 各ノードはそれぞれ32ビットのサイクルタイマーレジスタを備えている。各サイクルタイマーレジスタは、その下位の12ビットを用いてシステムの基準クロックである24.576MHzのクロック信号 (周期40.7nsec) を3072を法として計数し、その上位の13ビットにより前記8KHzの基準サイクルの計数を行い、最上位の7ビットにより秒を計数するようになされている。そして、前記サイクルマスターは、前記サイクルスタートパケット101を用いて自己のサイクルタイマーレジスタの内容をすべてのノードのサイクルタイマーレジスタにコピーさせ、すべてのノードを一定の位相差以内に同期させる。このようにし

て、このネットワークにおいては共通の時間基準が保証されている。

【0006】アイソクロナスパケット102は、デジタルサウンド、ビデオあるいは演奏データなどの精密なタイミング参照を必要とするデータを転送させるために用いられるチャンネルであり、これらアイソクロナスパケット102は、各伝送サイクル内において必ず伝送されることが保証されている。また、前記非同期パケット103は前記アイソクロナスパケット102の伝送が終了した後に当該伝送サイクルに空き時間があるときに非同期に伝送されるパケットである。

【0007】さて、これら各種のネットワークを利用して、音声データ、画像データあるいは演奏データなどの時系列データを伝送する場合において、伝送経路が完全な同期通信方式とされていないときには、伝送されるデータの時間軸上での再現性を保証するために、データ自身にそのデータが再現されるべき時刻を示すタイムスタンプを付加して送信し、受信側ではそのタイムスタンプを参照して、当該時刻に到達した時点で当該データを再生することが行われている。

【0008】

【発明が解決しようとする課題】このようなネットワーク上で用いられるタイムスタンプとしては、時間を一意に認識することができるものでなければならない。すなわち、タイムスタンプには、ある程度妥当と思われる時間幅以上の繰り返し周期が必要となり、そのためには多くの情報量を必要とすることとなる。情報をデジタル表現で表わす場合は、多くの情報量は多くのビット数に相当するため、タイムスタンプによって指定する時間情報の時間分解能を上げるためには、多くの情報量、すなわち、多くのビット数を必要とすることとなる。例えば、前記図7に関して説明した場合においては、32ビット長のタイムスタンプが用いられていた。

【0009】さらに、前述のようなタイムスタンプを付加してデータを送信するタイプの伝送方式においては、データのほかにタイムスタンプ情報を所定期間ごとに送る必要があり、タイムスタンプ情報の送信データに対する割合は小さいことが望ましい。しかしながら、前述のように、タイムスタンプにより表現される時間の一意性の確保や時間分解能の向上のためには、タイムスタンプのビット数が大きくなってしまい、データ転送効率が低下してしまうという問題点があった。

【0010】そこで本発明は、データにタイムスタンプを付加して送信することにより、伝送されるデータの時間軸上での再現を図ることができるようにしたデータ転送システムにおいて、タイムスタンプのビット数を減らしてデータ転送効率を向上することを目的としている。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明のデータ送信装置は、一定の周期を有する第

1のタイミング信号からの差分データとして表わされたタイムスタンプが付加された送信データを、前記第1のタイミング信号に準じて発生される第2のタイミング信号に基づいて、ネットワーク上に送出するデータ送信装置であって、FIFOバッファを有し、前記第1のタイミング信号に基づいて前記送信データを前記FIFOバッファに書き込み、前記第2のタイミング信号に基づいて前記FIFOバッファから前記送信データを取り出してネットワーク上に送信するものである。

【0012】また、本発明のデータ受信装置は、一定の周期を有する第1のタイミング信号からの差分データとして表わされたタイムスタンプが付加され、前記第1のタイミング信号に準じて発生される第2のタイミング信号に基づいてネットワーク上に送信されたデータを受信するデータ受信装置であって、FIFOバッファを有し、前記ネットワークから受信した前記データを前記第2のタイミング信号に基づいて前記FIFOバッファに書き込み、前記第1のタイミング信号に基づいて前記FIFOバッファからデータを取り出し、前記タイムスタンプに基づいて当該データを時間軸上に再現するものである。

【0013】さらにまた、本発明のデータ転送システムは、データ送信装置とデータ受信装置とを有し、一定の周期を有する第1のタイミング信号に準じて発生される第2のタイミング信号に基づいてネットワーク上でのデータの転送が制御されるデータ転送システムであって、前記データ送信装置は、前記第1のタイミング信号からの差分データとして表わされたタイムスタンプを送信データに付加し、前記タイムスタンプが付加された送信データを前記第1のタイミング信号に基づいて第1のFIFOバッファに書き込み、前記第2のタイミング信号に基づいて前記第1のFIFOバッファから前記送信データを取り出してネットワーク上に送信し、前記データ受信装置は、前記第2のタイミング信号に基づいて前記ネットワーク上に送信されたデータを第2のFIFOバッファに書き込み、前記第1のタイミング信号に基づいて前記第2のFIFOバッファから受信したデータを取り出し、前記タイムスタンプに基づいて当該データを時間軸上に再現するものである。

【0014】

【発明の実施の形態】図1は本発明のデータ転送システムの構成の一例を示すブロック図である。この図において、10は前記ネットワークであり、前記図7に示したアイソクロナス転送を行うことができるものである。また、11~13はこのネットワーク10に接続されている各ノードの一例であり、12は時間軸上で再現することが必要とされる時系列データを送信する送信局であり、例えば楽音波形信号を送出する音源装置である。また、13は前記時系列データを受信する受信局であり、例えば前記楽音波形信号を混合するミキサである。この

送信局12から所定のサンプリングタイミングによりサンプリングされた楽音波形データなどの時系列データがタイムスタンプを付加して送信され、前記受信局13はそのデータを受信して前記タイムスタンプにより指定されたタイミングで楽音波形データを再生する。なお、このネットワーク10には複数のその他のノードも接続されており、その他の局11が前述したサイクルマスター（サイクルスタートパケット送出局）となっている。

【0015】図2は、前記各ノード11～13の内部構成の一例を示すブロック図であり、21は中央処理装置（CPU）、22は動作プログラムや各種データが格納されているROM、23はワーキングエリア等として使用されるRAM、24は前記サイクルタイマーレジスタを含み、各種タイミング信号を発生するタイマ、26は前記ネットワーク10に接続するためのネットワークインタフェース回路、27は内部バスである。また、25はデータ利用／生成回路であり、このノードが送信局12であるときはデータ生成回路とされ、受信局13であるときはデータ利用回路とされている。

【0016】図3は前記送信局12と前記受信局13におけるデータ転送動作を説明するための機能ブロック図である。図3の（a）は前記送信局12の機能を示すブロック図である。この図において、31はデータ生成回路であり、 $125\mu\text{sec}$ の前記基準周期毎に、所定のサンプリング周期でサンプリングされた複数の楽音サンプルからなるデータと、該データに付与されるタイムスタンプとにより、アイソクロナスチャンネルの送信パケットを生成する。32は前記データ生成回路31により生成されたパケットを格納するためのデータバッファ、33は前記データバッファ32に格納されたパケットが前記第1のタイミングを示す前記サイクルタイマーレジスタからの出力（サイクルタイマ出力）に応じて書き込まれるFIFO（First In First Out）構成の待機バッファ、34は前記新たな伝送サイクルの開始を示すサイクルスタートパケットを受信することにより発生されるサイクルスタート信号に応じて前記待機バッファ33から読み出された前記パケットが格納される送信バッファであり、この送信バッファ34に格納されたパケットは当該アイソクロナスチャンネルに指定されたタイミングで前記ネットワーク10に送出される。

【0017】図3の（b）は前記受信局の機能ブロック図であり、35は前記ネットワーク上に送出されたパケットのうちのこの受信局において受信すべきパケットを受信し格納する受信バッファ、36は前記受信バッファ35に格納されたパケットが前記サイクルスタート信号に応じて書き込まれるFIFO構成の待機バッファ、37は前記待機バッファ36内のパケットを前記第1のタイミングを示すサイクルタイマの出力に応じて読み出すデータバッファ、38は前記データバッファ37に格納されたパケットにより伝送されたデータをタイムスタンプ

プにより指定されたタイミングで再生するデータ利用回路である。

【0018】このように、送信側においては、第1のタイミングに対応してデータパケットを生成し、これをサイクルスタート信号（第2のタイミング）によりネットワーク上に送信する。一方、受信側においては、前記第2のタイミングに応じて送信されたパケットを受信し、前記第1のタイミングに応じて当該データを再生することとなる。

【0019】図4はこのデータ生成回路31において生成される送信パケットを説明するための図である。図4の（a）は送信されるデータを説明するための図であり、例えば楽音波形信号などの連続信号を所定のサンプリング間隔 $t_s$ （この場合には、 $t_s = 25 (= 125 / 5) \mu\text{sec}$ ）でサンプリングして得られた5つの離散データ1～5が送信されるデータとされている。この第1番目のサンプリングデータ1は前記第1のタイミング信号から時間 $t$ だけ遅れた時点においてサンプリングされたデータであり、その他のサンプリングデータ2～5は前記時刻 $t$ からそれぞれ時間 $t_s$ の対応する倍数に相当する時間だけ遅れたタイミングでサンプリングされたデータである。

【0020】また、このバスシステムにおいてはシステムの基準クロック周波数 $\Phi = 24.576\text{MHz}$ （クロック周期 $= 40.7\text{ns}$ ）とされており、前記1基準サイクル（ $125\mu\text{sec}$ ）内の時間位置を前記クロック周期を単位として表すことができる。すなわち、前記1基準サイクル内の時間位置を前記クロック周期を単位として0～3071クロックにより表すことができる。

【0021】そこで、本発明においては、前記タイムスタンプとして、その基準サイクル内の第1番目のサンプリングデータ1の該基準サイクル内の時間位置 $t$ を前記クロック周期を単位として表した値をタイムスタンプ値として使用し、その他のサンプリングデータ2～5については、前記第1のサンプリングデータ1からサンプリング周期 $t_s$ を順次加算することにより再生時刻を決定するようにしている。

【0022】このようなデータを送信するためのパケットの構成を図4の（b）に示す。この図に示すように、送信パケットは最初に前記時間 $t$ を表すタイムスタンプ、続いて、第1～第5の各サンプリング値が結合されて構成されている。前述したように、タイムスタンプはその基準サイクル内における前記時間 $t$ を前記システムクロック数により表したもので、0～3071の値をとるため、12ビットのデータとなる。

【0023】比較のために、前記従来使用されていたタイムスタンプの構成を図4の（c）に示す。この場合にも、（b）に示した本発明のパケットと同様にタイムスタンプと各サンプリングデータ1～5より構成されているが、タイムスタンプが、例えば、32ビットのデータ

とされている。すなわち、その下位12ビットにより前記本発明の場合と同様に前記時間 $t$ を示し、次の13ビットにより前記基準サイクルの番号を示し、さらに最上位の7ビットにより秒で表現した時刻を示している。このように、従来は各ノードで共有している絶対時間の全てを表現するタイムスタンプとされていたため、前記(b)に示した本発明の packets よりも20ビット長いタイムスタンプとなっていた。

【0024】さて、本発明のネットワークシステムにおいては第1のタイミングに応じて生成された送信データを第2のタイミングに応じてネットワークに送出しているが、前述したように、前記第2のタイミングは前記第1のタイミングに対して遅延をもって発生されることがあるため、第1のタイミングにより決定される1つの基準サイクルの中に、2つの送信データが含まれるという状態が発生する場合がある。このような場合においても、本発明のデータ転送システムによれば問題なく所定の時間位置で原データを再現することができる。

【0025】図5のタイムチャートを参照して、本発明のデータ転送システムの動作について説明する。この図において、横軸は時間軸であり、時刻 $t_1$ から $t_2$ までの基準サイクルにおける原データをサンプリングして得られたデータは、前記データ生成回路31において、前述した12ビットのタイムスタンプが付加された packets 51とされ、データバッファ32に格納される。このデータバッファ51に格納された packets 51は、時刻 $t_2$ に発生されるサイクルタイマ出力により、前記FIFO構成の待機バッファ33に格納される。

【0026】また、時刻 $t_2$ から $t_3$ の期間の原データに対応する packets 52も同様に生成されてデータバッファ32に格納される。時刻 $t_3$ になると、前記サイクルタイマ出力により、前記 packets 52は前記待機バッファ33に格納される。この時刻 $t_3$ においては前述したように、サイクルスタート packets が送信されていないので、前記待機バッファ33には、前記 packets 51と packets 52が格納されている。ここで、図示するように、前記時刻 $t_3$ から少し遅れて伝送サイクルが開始され、サイクルスタート packets が送出されると、サイクルスタート信号が出力され、これに応じて、前記待機バッファ33から前記 packets 51が前記送信バッファ34に転送される。この送信バッファ34内に格納された packets はこの伝送サイクル内のこのアイソクロナスチャンネルに対応する時刻にネットワーク10上に送出されることとなる。

【0027】図示の場合においては、この伝送サイクルは基準サイクルより遅れて開始されており、前記 packets 51がネットワーク上に送出されるのが次の基準タイミング時刻 $t_4$ よりも後になっている。このとき、この packets は時刻 $t_4$ よりも後に受信バッファ35に格納されることとなる。そして、時刻 $t_4$ よりも時間 $t_d$

だけ遅れたタイミングで次の伝送サイクルが開始され、そのサイクルスタート packets 101が送出されると、これにより、前記待機バッファ33から前記 packets 52が前記送信バッファ34に転送され、この伝送サイクル期間にネットワーク上に送出される。このように、時刻 $t_4 \sim t_5$ の一つの基準サイクル内に2つの packets が送受信されることとなる。

【0028】時刻 $t_4 \sim t_5$ の期間に packets 51と packets 52とが受信され受信バッファ35に書き込まれるが、受信された packets は前記サイクルスタート信号により、前記待機バッファ36に移行され、基準タイミングを示すサイクルタイマ出力により該待機バッファ36からデータバッファ37に転送される。すなわち、時刻 $t_4$ の後に packets 51が受信バッファ35に格納され、該 packets 51は次の伝送サイクルの開始を表すサイクルスタート信号により、待機バッファ36に格納される。このサイクルスタート信号により開始された伝送サイクルにおいて伝送された packets 52は受信バッファ35に格納されている。時刻 $t_5$ になると当該サイクルタイマ出力により、前記待機バッファ36に格納された packets 51はデータバッファ51に書き込まれ、前述したように、データ利用回路38において時間軸上に再現されることとなる。また、前記受信バッファ35に格納されていた、 packets 35はその次の伝送サイクルの開始を示すサイクルスタート信号に応じて、前記待機バッファ36に転送され、時刻 $t_6$ に前記データバッファ37に書き込まれて、時刻 $t_6 \sim t_7$ の期間に正確なタイミングで再現されることとなる。

【0029】このようにして、各基準サイクル内のサイクルタイマ時刻からの時間のずれのみを表したビット数の少ないタイムスタンプデータを用いるだけで、正確なタイミングで原データを再現することが可能となる。

【0030】以上説明した各機能ブロックの機能をソフトウェアによっても実現することができる。図6は、このような機能を実現するための送信側および受信側における処理のフローチャートである。この図において、

(a)は送信側における処理を示し、(b)は受信側における処理を示している。送信側において、ステップS10は前記データ生成処理である。この処理は前記データ生成回路と同様の機能を実現するものであり、送信すべき原データを入力として、その先頭値に対応するタイムスタンプを付与したデータ packets を生成する処理である。

【0031】ステップS12は前記第1のタイミングを示すサイクルタイマ割込が発生したときに実行されるサイクルタイマ割込処理であり、データバッファ内のデータを待機バッファに追加し、データバッファから消去する処理が行われる。ステップS14は前記サイクルスタート packets を受信したときに発生されるサイクルスタート割込により開始されるサイクルスタート割込処理で

あり、この処理においては、待機バッファ内の最も古いデータを送信バッファに取り出す処理が行われる。

【0032】(b)は受信側の処理を示しており、ステップS20はネットワーク上のパケットを受信したときに発生するデータ受信割込処理であり、この処理においては、受信データが自局に必要なデータであるときに、そのパケットを受信バッファに記録する。ステップS21は前記サイクルスタートパケットを受信したときに発生されるサイクルスタート割込により開始される処理であり、受信バッファ内に記録された前記パケットを待機バッファ内に追加し、そのパケットを受信バッファから消去する処理である。ステップS24は前記サイクルタイム割込により開始される処理であり、待機バッファ内の最も古いデータをデータバッファに移動する処理である。

【0033】なお、以上においては、IEEE1394高速シリアルバスシステムを用いた場合について説明してきたが、本発明はこれに限られることなく、同様のアイソクロナス転送をサポートしているネットワークシステムに同様に適用することができる。また、前記タイムスタンプのビット数も、要求される時間精度などに応じて任意に決定することができる。さらに、転送されるデータは楽音等に限らず、例えば、画像(動画)データ、楽音以外の波形データなどの時間的に流れるものであればよい。

【0034】

【発明の効果】以上説明したように、本発明によれば、タイムスタンプのビット数を少なくすることができ、伝

送効率を向上させることができる。

【図面の簡単な説明】

【図1】 本発明のデータ転送システムの概略を示す図である。

【図2】 本発明のデータ転送システムにおける各局の構成を示す図である。

【図3】 本発明のデータ転送システムにおける送信装置および受信装置を説明するための機能ブロック図である。

【図4】 本発明におけるパケットを説明するための図である。

【図5】 本発明の動作を説明するためのタイミングチャートである。

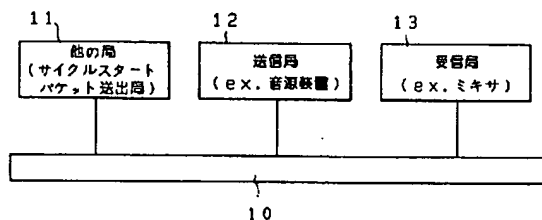
【図6】 本発明のデータ転送システムにおける処理のフローチャートである。

【図7】 ネットワーク上のパケットを説明するための図である。

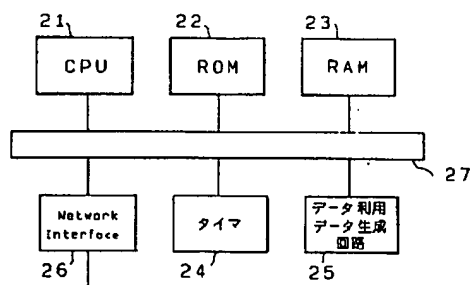
【符号の説明】

10 ネットワーク、11 ノード、12 送信局、13 受信局、21 CPU、22 ROM、23 RAM、24 タイマ、25 データ利用/生成回路、26 ネットワークインタフェース回路、27 内部バス、31 データ生成回路、32、37 データバッファ、33、36 待機バッファ、34 送信バッファ、35 受信バッファ、38 データ利用回路、51、52、102アイソクロナスパケット、101 サイクルスタートパケット、103 非同期パケット、104 遅延時間

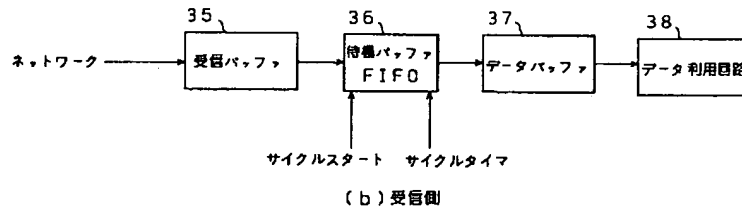
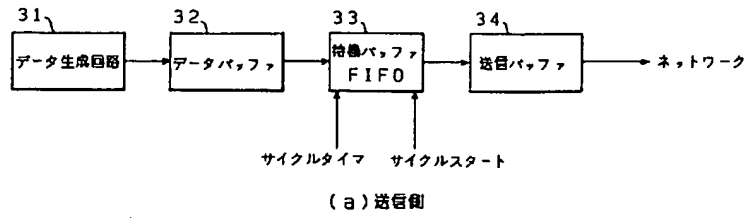
【図1】



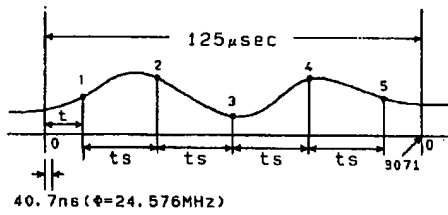
【図2】



【図3】

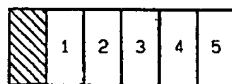


【図4】



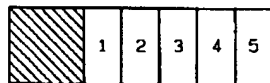
(a)

タイムスタンプ



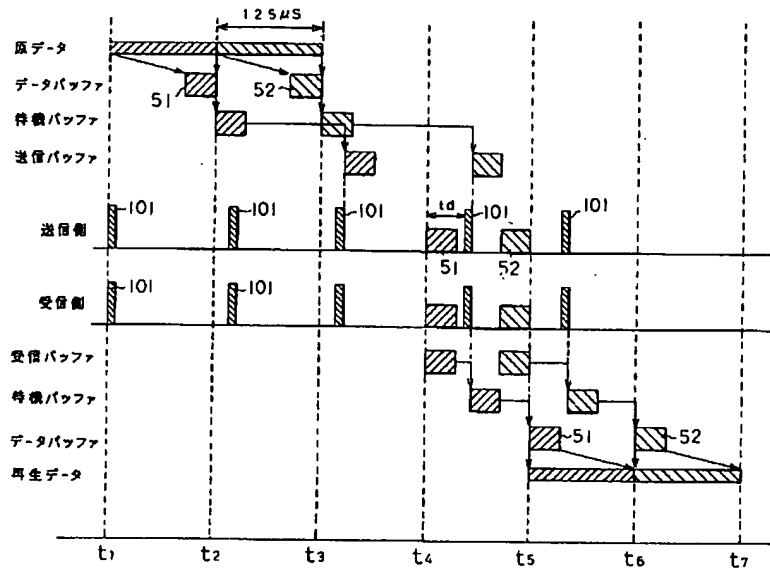
(b)

タイムスタンプ

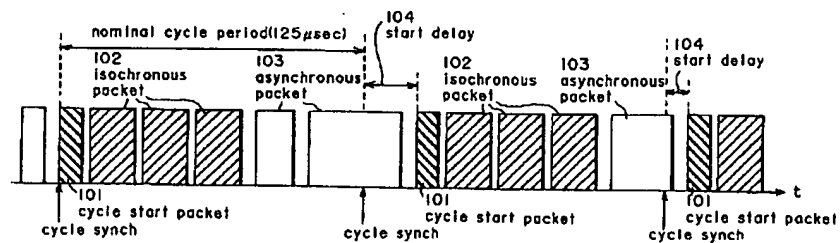


(c)

【図5】

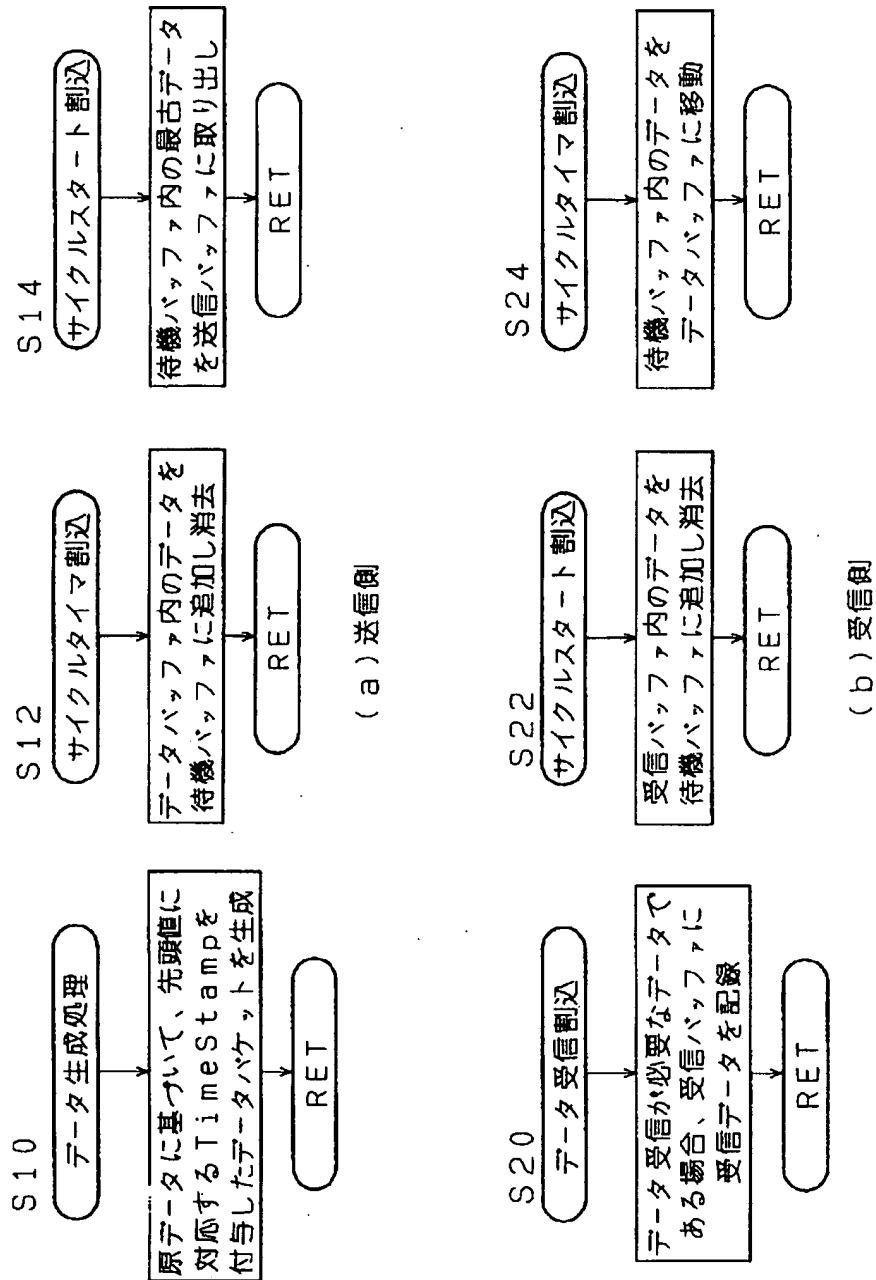


【図7】





【図6】



フロントページの続き

(72)発明者 大谷 康  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72)発明者 阿部 達利  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内